

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067970

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 23/12  
H01L 23/12  
H01L 23/50

(21)Application number : 09-228548

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.08.1997

(72)Inventor : ASADA KENJI

IKEMOTO YOSHIHIKO

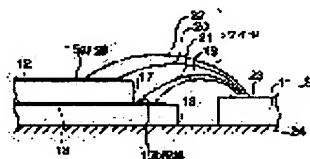
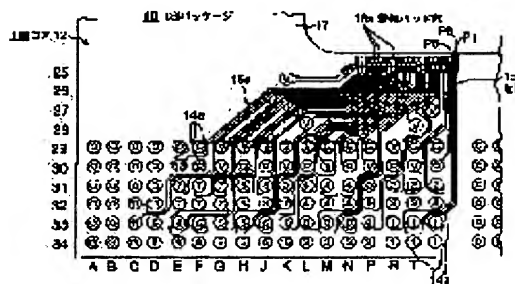
HAMANO TOSHIO

## (54) WIRING STRUCTURE OF LSI PACKAGE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve electrical characteristics even if an LSI which is high in clock frequency is mounted, in the wiring structure of an LSI package where such an LSI of high clock frequency is mounted.

**SOLUTION:** In the wiring structure of an LSI package which is mounted with an LSI 11 driven by high frequency, a plurality of wirings 15a and 15b which connect the LSI 11 and the lower layer wiring of external connection terminal parts 16a and 16b are formed, a wiring length of at least two wirings 15a and 15b among the wirings 15a and 15b allocated among the others in the LSI package 11 where in differential signal is electrically transferred is made equal.



## LEGAL STATUS

[Date of request for examination]

21.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3417808

[Date of registration] 11.04.2003

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

特開平11-67970

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl. <sup>5</sup>	識別記号	F I	
H 0 1 L 23/12	3 0 1	H 0 1 L 23/12	3 0 1 Z
		23/50	Z
23/50		23/12	Q
			E

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願平9-228548

(22) 出願日 平成9年(1997) 8月25日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 浅田 憲治

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 池元 義彦

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 浜野 寿夫

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

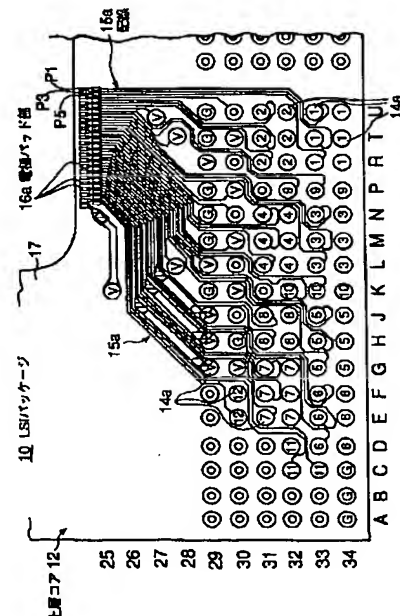
(54) 【発明の名称】 L S I パッケージの配線構造

(57) 【要約】

【課題】 本発明はクロック周波数が高い L S I を搭載する L S I パッケージの配線構造に関し、クロック周波数として高周波数を用いた L S I を搭載しても電気特性上の向上を図ることを課題とする。

【解決手段】 高周波で駆動する L S I 11 を搭載すると共に、この L S I 11 と外部接続端子部 16 a, 16 b を接続する複数の配線 15 a, 15 b が形成された L S I パッケージの配線構造において、差動信号が電送されると共に L S I パッケージ 11 内に隣接配設された配線 15 a, 15 b の内、少なくとも 2 本以上の配線 15 a, 15 b の配線長を等しい長さとする。

本発明の一実施例である L S I パッケージの配線構造を説明するための図であり、L S I パッケージの上層を示す図



【特許請求の範囲】

【請求項1】 高周波で駆動するLSIを搭載すると共に、前記LSIと外部接続端子を接続する複数の配線が形成されたLSIパッケージの配線構造において、差動信号が電送されると共に前記LSIパッケージ内に隣接配設された配線の内、少なくとも2本以上の配線の配線長を等しい長さとしたことを特徴とするLSIパッケージの配線構造。

【請求項2】 請求項1記載のLSIパッケージの配線構造において、前記配線を多層構造とされた配線層に形成すると共に、前記配線長が等しい長さとした配線を同層の配線層に配設したことを特徴とするLSIパッケージの配線構造。

【請求項3】 請求項1または2記載のLSIパッケージの配線構造において、前記配線を多層構造とされた配線層に形成すると共に、前記配線長が等しい長さとした配線を異層の配線層に配設したことを特徴とするLSIパッケージの配線構造。

【請求項4】 請求項1乃至3のいずれかに記載のLSIパッケージの配線構造において、前記配線はワイヤーを用いて前記外部接続端子に接続されており、かつ、前記ワイヤーを含む前記配線の長さを等しい長さとしたことを特徴とするLSIパッケージの配線構造。

【請求項5】 請求項1または2記載のLSIパッケージの配線構造において、前記配線を2層構造とされた配線層に形成すると共に上層配線層に形成される配線と下層配線層に形成される配線のピッチを半ピッチずらして配設し、かつ、前記上層配線層或いは前記下層配線層の何れか一方の層に差動信号が電送される等しい長さを有する一対の配線を配設した際、他方の層において該一対の配線の間に位置する配線を終端抵抗用、電源供給用、或いは接地用として用いた構成としたことを特徴とするLSIパッケージの配線構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はLSIパッケージの配線構造に係り、特にクロック周波数が高いLSIを搭載するLSIパッケージの配線構造に関する。近年、LSIデバイスの高周波数化・高消費電力化が求められてきており、LSIを搭載するパッケージ（本明細書では、このパッケージをLSIパッケージという）においても、高周波数化・高消費電力化に対応しうる構造とすることが必要となってきた。そのためLSIパッケージは、下記の改良が行なわれている。

【0002】①電流の安定供給のため、LSIパッケージを多層化し、内層に電源・GNDのプレーンを設け

る。

②電源・GNDの低インダクタンス化を図るため、電源・GNDの配線長を短くし、配線幅を太くする。

③50Ωインピーダンス整合化を図るため、配線層の上下層にプレーンを設け、層間の間隙を調節する。

【0003】④相互インダクタンス及びクロストークの低減化を図るため、信号線同志の配線間隔を、お互い影響を及ぼさない程度に空ける。

【0004】

【従来の技術】従来のLSIパッケージについて、図18及び図19を用いて説明する。各図に示すLSIパッケージ1は2レイヤーパッケージ構造とされており、よって上層配線層2（図18に示す）と下層配線層3（図19に示す）を有した構成とされている。尚、図18及び図19では、LSIパッケージ1の1/8パターンを表している。

【0005】図18及び図19に示されるように、上層配線層2及び下層配線層3には、それぞれスルーホールランド4がマトリックス状に形成されている。このスルーホールランド4からスルーホールを介して外部接続端子に連結するが、外部接続端子には例えば bumps が形成され、これによりLSIパッケージ1はBGA(Ball Grid Array)として用いられる。

【0006】また、上層配線層2及び下層配線層3には、それぞれ多数の配線5が形成されている。この各配線5の一端部はスルーホールを介して外部接続端子に接続され、また他端部は電極パッド部6に接続されている。この電極パッド部6は各配線層2、3の半導体チップ（図示せず）と対向する位置に形成されており、ワイヤーを用いて半導体チップと電気的に接続される。

【0007】ここで、配線5の形成状態に注目すると、従来においては各配線層2、3内、及び上層配線層2と下層配線層3との間における配線5の配線長についてはあまり考慮されておらず、なるべく各配線5の引回しがスムーズになるように配線パターンの設定を行っていた。但し、図18及び図19に符号a～gで示す電源配線、接地（GND）及び電源用配線については、電気的特性のために配線長を短くしたり、また符号gで示される配線の様に配線幅を太くする対応はとっていた。また、パッケージ構造を多層化し、信号が電送される配線層を電源ベタ層とGNDベタ層の間に挟み込むことによりインピーダンス整合を図ることも行なわれていた。

【0008】

【発明が解決しようとする課題】ところで、従来のLSIパッケージ1の電気特性と言え、前記した①から④によるLCR特性の向上あるいは特性インピーダンスの50（Ω）整合化についての注目されてきた。しかし、これらの対応では、LSIパッケージのLCR及びインピーダンスやクロストーク対策には有効であるが、各信号間の電送時間のズレにより発生するノイズに関し

ては考慮されていない。

【0009】また、最近になってLSIのクロック周波数が1GHzを越えるものも出てきており、前記した通常行っている電気特性の向上を図っても、実際にLSIをLSIパッケージ1に実装した際、LSI（半導体素子）が動作しないケースが発生するという問題点があった。本発明は上記の点に鑑みてなされたものであり、クロック周波数として高周波数を用いたLSIを搭載しても電気特性上の向上を図りうるLSIパッケージの配線構造を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するために本発明では、次に述べる手段を講じたことを特徴とするものである。請求項1記載の発明では、高周波で駆動するLSIを搭載すると共に、前記LSIと外部接続端子を接続する複数の配線が形成されたLSIパッケージの配線構造において、差動信号が電送されると共に前記LSIパッケージ内に隣接配設された配線の内、少なくとも2本以上の配線の配線長を等しい長さとしたことを特徴とするものである。

【0011】また、請求項2記載の発明では、前記請求項1記載のLSIパッケージの配線構造において、前記配線を多層構造とされた配線層に形成すると共に、前記配線長が等しい長さとした配線を同層の配線層に配設したことを特徴とするものである。また、請求項3記載の発明では、前記請求項1または2記載のLSIパッケージの配線構造において、前記配線を多層構造とされた配線層に形成すると共に、前記配線長が等しい長さとした配線を異層の配線層に配設したことを特徴とするものである。

【0012】また、請求項4記載の発明では、前記請求項1乃至3のいずれかに記載のLSIパッケージの配線構造において、前記配線はワイヤーを用いて前記外部接続端子に接続されており、かつ、前記ワイヤーを含む前記配線の長さを等しい長さとしたことを特徴とするものである。

【0013】更に、請求項5記載の発明では、前記請求項1または2記載のLSIパッケージの配線構造において、前記配線を2層構造とされた配線層に形成すると共に上層配線層に形成される配線と下層配線層に形成される配線のピッチを半ピッチずらして配設し、かつ、前記上層配線層或いは前記下層配線層の何れか一方の層に差動信号が電送される等しい長さを有する一対の配線を配設した際、他方の層においてこの一対の配線の間に位置する配線を終端抵抗用、電源供給用、或いは接地用として用いた構成としたことを特徴とするものである。

【0014】上記した各手段は、次のように作用する。請求項1乃至3のいずれかに記載の発明によれば、差動信号が電送されると共にLSIパッケージ内に隣接配設された配線の内、少なくとも2本以上の配線の配線長を

等しい長さとしたことにより、差動信号間の電送上のタイムラグを少なくすることができ、よってノイズは低減され電気特性上の向上を図ることができる。

【0015】また、請求項4記載の発明によれば、ワイヤーを含む配線の長さを等しい長さとしたことにより、ワイヤー損失分も含めて電送上のタイムラグの低減を図ることができるため、より確実に電気特性上の向上を図ることができる。更に、請求項5記載の発明によれば、配線を2層構造とされた配線層に形成すると共に上層配線層に形成される配線と下層配線層に形成される配線のピッチを半ピッチずらして配設することにより、例えば上層の隣接する一対の配線の間に、下層の配線が位置することとなる。

【0016】また、上層配線層或いは下層配線層の何れか一方の層に差動信号が電送される等しい長さを有する一対の配線を配設した際、他方の層においてこの一対の配線の間に位置する配線を終端抵抗用、電源供給用、或いは接地用として用いたことにより、差動信号が電送される一対の配線間に接地用配線等が位置することとなり、よって前記一対の配線間においてクロストークが発生することを防止することができる。

【0017】

【発明の実施の形態】次に本発明の実施の形態について、図面と共に説明する。図1乃至図6は、本発明の一実施例である配線構造を有したLSIパッケージ10を説明するための図である。本実施例に係るLSIパッケージ10は、多層構造とされた2レイヤーパッケージ構造とされており、図3に示されるように、上層配線層12と下層配線層13を有した構成とされている。図1は上層配線層12の平面図であり、また図2は下層配線層13の平面図である。また、図1及び図2では、図示の便宜上、LSIパッケージ10の1/8パターンのみを表している。

【0018】上層配線層12及び下層配線層13が形成された基板は絶縁部材により形成された基板層であり、LSIパッケージ10のベース24上に固定されている。この上層配線層12及び下層配線層13は、それぞれの表面に配線15a、15bが形成されており、またその中央部分にはLSI（半導体チップ）11が搭載される開口部17、18が形成されている。

【0019】この配線15a、15bは、その一端部にスルーホールランド部14a、14bが一体的に形成されており、また他端部には電極パッド部16a、16bが一体的に形成されている。スルーホールランド部14は、上層配線層12及び下層配線層13にマトリックス状に形成されており、スルーホールランドからスルーホールを介して連結された外部端子接続部に例えばバンパが形成されることによりLSIパッケージ1はBGA（Ball Grid Array）として用いられる。

【0020】尚、本実施例では各スルーホールランド部

14a, 14bを特定するために、図中縦方向に25～34の番地を付すと共に、横方向にA～Uの番地を付している。また、スルーホールランド部14a, 14bは配線15a, 15bと一対一の関係となっているため、本実施例の説明ではこの番地により配線15a, 15bの特定も行なうこととする。

【0021】ここで、各配線15の端部に形成されている電極パッド部16a, 16bの構成について、図4乃至図6を用いて説明する。電極パッド部16a, 16bは、開口部17, 18の近傍に並設されており、また図6に示されるようにLSI11に形成されているチップ側パッド23と対向するよう構成されている。この電極パッド部16a, 16bは、ワイヤー19～22によりチップ側パッド23と電気的に接続される。

【0022】また、図4に示されるように、電極パッド部16aは上層配線層12上で同一ピッチ(W)に形成されており、同様に、電極パッド部16bは下層配線層13上で同一ピッチ(W)に形成されている。また、隣接する電極パッド部16a, 16bは図中上下方向に段を付けて形成されており、よって全体的にみると電極パッド部16a及び電極パッド部16bは、上層配線層12上或いは下層配線層13上で千鳥状に形成された構成とされている。

【0023】尚、図4(A)は上層配線層12に形成された電極パッド部16aを拡大して示しており、また図4(B)は下層配線層13に形成された電極パッド部16bを拡大して示している。また、電極パッド部16a, 16bを上下方向に見てみると、図5及び図6に示されるように、一方の配線層に形成された一対の電極パッド部の間に他方の配線層に形成された電極パッド部が形成された構成とされている。即ち、いま図1に示す上層配線層12の最右端に位置する電極パッド部16aをP1とし、これに隣接する電極パッド部を順次P3, P5, …とする。同様に、図2に示す下層配線層13の最右端に位置する電極パッド部16bをP2とし、これに隣接する電極パッド部を順次P4, P6, …とする。

【0024】ここで、上記した一方の配線層を上層配線層12とし、よって一対の電極パッド部をP1, P3とすると、下層配線層13に形成された電極パッド部P2は一対の電極パッド部P1, P3の間に位置している。このように電極パッド部16a, 16bを構成することにより、図6に示されるように、ワイヤー19～22を高密度に配設することが可能となる。

【0025】続いて、本実施例の要部となる配線15a, 15bの配線構造について説明する。図1及び図2に図示されるように、スルーホールランド部14a, 14bには、1～12の数字と、V, Gの文字が付されている。ここで、1～12の数字が付されたスルーホールランド部14a, 14bを有する配線15a, 15bは信号配線であり、またVの文字が付されたスルーホール

ランド部14a, 14bを有する配線15a, 15bは電源配線であり、更にGの文字が付されたスルーホールランド部14a, 14bを有する配線15a, 15bはグラウンド(接地)配線である。

【0026】また、信号配線において、同一の数字が付された配線は一つのグループを形成しており、このグループにおいては配線15a, 15bの長さは等しくなるよう構成されている。即ち、例えば、“1”が付されているスルーホールランド部14a, 14bは合計6個あり、よってこれに対応する配線15a, 15bも6本あるが、この6本の配線15a, 15bはその配線長が等しい等長配線のペアとなっている。これを上記した番地で示すと、U33, U34, T33, T34, R33, R34で示される各配線は、その長さが全て同じ長さ(等長)とされている。この“1”が付されている等長の配線のグループを、本実施例の説明では“#1グループ”といい、他の数字が付されているグループについても同様に表現するものとする(#2グループ～#12グループ)。

【0027】従って、図1及び図2に示す実施例の構成では、等長の配線が6本組になりグループを形成しているものとしては、“#1グループ”の他には“#2グループ”, “#3グループ”, “#4グループ”, “#5グループ”, “#6グループ”, “#7グループ”が存在する。また、等長の配線が4本組になりグループを形成しているものとしては、“#8グループ”が存在する。また、等長の配線が3本組になりグループを形成しているものとしては、“#9グループ”, “#10グループ”, “#11グループ”が存在する。更に、等長の配線が2本組になりグループを形成しているものとしては、“#12グループ”が存在する。尚、図中数字が付されていないスルーホールランド部14a, 14bも存在するが、これはその配線長が等長ではないものである。

【0028】上記のように、各グループ(#1グループ～#12グループ)においては、配線15a, 15bの配線長は等長とされているため、LSI11としてクロック周波数として高周波数(例えば、1GHz)を用いるものをLSIパッケージ10に搭載し、各グループ内の隣接した一対の配線15a, 15bに差動信号を供給した場合、この差動信号が電送される一対の配線15a, 15bの配線長は等しいため、差動信号間の電送上のタイムラグを少なくすることができる。よって、差動信号に混入するノイズは低減され電気特性上の向上を図ることができる。

【0029】ここで、各グループ内における配線15a, 15bのレイアウトについて説明する。前記したように、配線15a, 15bは、電気的特性からは差動信号を電送する信号配線、電源供給を行なうための電源配線、及び接地される接地(グラウンド)配線に分類され

る。いま、#1グループを例に挙げて説明すると、2レイヤーパッケージ構造のLSIパッケージ10に等長配線を引き回す時、差動信号を電送する2本の配線を同層に設ける構成と異層に設ける構成とが考えられる。この場合、何方の構成にした場合であっても、ノイズ低減を図るためには、少なくとも差動信号を電送する信号配線の長さは等長とする必要がある。

【0030】即ち、差動信号を電送する2本の配線を同層（即ち、上層配線層12のみ、或いは下層配線層13のみ）に設ける場合は、層上において隣接ピン同志（例えばU33とT3P3）を等長とする。また、差動信号を電送する2本の配線を異層で設ける場合（即ち、1本を上層配線層12に、もう1本を下層配線層13に設ける場合）には、各層12、13に配設される配線同志（例えばU33とU34）を等長とする。

【0031】しかし、同層で差動信号用の2本の配線を設ける場合、2本の差動信号用配線の間に1本の配線が異層に位置する。即ち、本実施例の配線構造では、前記したように上層配線層12に形成された配線15aと、下層配線層13に形成された配線15bは半ピッチずれて形成されている。従って、図5を例に挙げて説明すれば、上層配線層12に形成された配線P1、P3を差動信号用の配線とすると、この2本の配線P1、P3の間には、下層配線層13に形成された配線P2が存在することとなる。よって、この下層配線層13に形成された配線P2を終端抵抗、電源、或いは接地用配線として用いることにより、2本の配線P1、P3は電磁的に隔離されるため、更にノイズの低減を図ることができる。

【0032】更に、この構成を#1グループ～#7グループのように、長さが等しい配線（以下、等長配線という）を6本（或いは6の倍数本）を単位として1グループを構成するものに適応した場合、2本の差動信号を同層で設ける場合は上下層においてそれぞれ1ペア（合計2ペア）の等長配線を設けることができる。即ち、図5に示す例では、上層配線層12の配線P1と配線P3が1ペアの差動信号用等長配線となり、下層配線層13の配線P4と配線P6が1ペアの差動信号用等長配線となる。また、配線P2と配線P5はそれぞれ上層配線層12、下層配線層13の終端抵抗あるいは電源・GND用配線となる。

【0033】ところで、等長配線を考える場合、当然ワイヤー19～22も電気的特性を左右する依存性があるため、ワイヤー19～22の長さ（ワイヤー長）をも考慮に加えた上でLSIパッケージ10の配線構造を決定する必要がある。即ち、図6に示すように、本実施例のようにLSIパッケージ10が上層配線層12と下層配線層13を積層した構成とされており、かつ各配線層12、13に形成されている電極パッド部16a、16bが千鳥状に形成された構成では、ワイヤー19～22の長さも夫々異なった長さとなる。よって、各配線15

a、15bを等長配線としたのみでは、ワイヤー19～22のワイヤー長の相違に起因して各配線（ワイヤー19～22を含めた配線）の電気的特性が異なり、ノイズの原因となるおそれがある。

【0034】そこで本実施例では、各グループにおいて、各配線15a、15bの長さ（ライン長）とワイヤー19～22の長さ（ワイヤー長）を加えた全体長が等しくなるよう構成している。これを図15～図17に示す。図15～図17は、ワイヤー長、ライン長、全長（ワイヤー長+ライン長）を個別に記したものである。上層配線層12に形成された電極パッド部16aと接続されるワイヤー20、22のワイヤー長は、下層配線層13に形成された電極パッド部16bと接続されるワイヤー19、21のワイヤー長に比べて長いため、上層配線層12に形成された配線15aのライン長は下層配線層13に形成された配線15bのライン長に比べて短く設定されている。

【0035】このように、ワイヤー19～22を含む配線の長さを等しい長さとしたことにより、ワイヤー損失分も含めて電送上のタイムラグの低減を図ることが可能となり、より確実に電気特性上の向上を図ることができる。尚、図1及び図2は、前記したように672ピンの1/8パターンを表しているが、LSIパッケージ10の全体としての等長配線の詳細は、6本等長配線（#1～#7グループ）が $7 \times 8 = 56$ ペア、4本等長配線（#8グループ）が $1 \times 8 = 8$ ペア、3本等長配線（#9～#11グループ）が $3 \times 8 = 24$ ペア、2本等長配線（#12グループ）が $1 \times 8 = 8$ ペアという事になる。ここで同層における隣接する2本の差動信号用配線は、6本等長配線のうちで $2 \times 56 = 112$ ペア、4本等長配線のうちで $1 \times 8 = 8$ ペア、3本等長配線のうちで $1 \times 24 = 24$ ペアとすることができ、全体で144ペアとなる。

【0036】また、異層における隣接した2本の差動信号用信号は、6本等長配線のうちで $3 \times 56 = 168$ ペア、4本等長配線のうちで $2 \times 8 = 16$ ペア、3本等長配線のうちで $1 \times 24 = 24$ ペア、2本等長配線のうちで $1 \times 8 = 8$ ペアとすることができ、全体で216ペアとなる。信号を入力、出力で2等分すると、それぞれ108ペアずつの差動信号配線を設けることができる。また、データとクロックのデータ単位数があらかじめわかっている場合は、それに応じた数以上の差動信号を設けてやればよい。

【0037】続いて、同層における隣接2本の等長配線を施した差動信号用配線と、異層における隣接2本の等長配線を施した差動信号用配線のシミュレーションによる出力データを紹介する。図7及び図8は、今回シミュレーションに使用した6本1グループの等長配線15a、15bを示している。図7は上層配線層12に配設された等長配線15aを示しており、また図8は上層配

線層13に配設された等長配線15bを示している。

【0038】同層における隣接2本の等長配線のシミュレーションのモデルは、図中L1、L3で示す配線を使用した。配線L1の配線長は、20.895mm、ワイヤー長は3.50mmで全長は24.395mmとなる。配線L3の配線長は、21.295mm、ワイヤー長は3.09mmで全長は24.385mmとなる。両ラインの全長の差は、10μmである。

【0039】この結果を図9に示す。同図は、実線で示す入力波形を入力した場合に出力された最に、各等長配線に出力された出力信号を示している。尚、図中、縦軸は出力を示しており、また横軸は時間を示している。図9に示されるように、結果として両配線L1、L3の電送ズレは0.83psと小さな値となり、同層において等長配線を設けた場合、良好な電送特性が得られることが証明された。

【0040】また、異層における隣接2本の等長配線のシミュレーションモデルは、図中L3、L4の配線を使用した。配線L4の配線長は、22.872mm、ワイヤー長は1.44mmで全長は24.312mmとなる。よって、両配線L1、L4の全長の差は70μmである。この結果を図10に示す。同図に示されるように、結果として両ラインの電送ズレは7.20psと小さな値となり、異層間に等長配線を配設した構成としても、良好な電送特性が得られることが証明された。

【0041】次に、比較例として、等長配線を施していない同層における隣接2本の配線と、異層における隣接2本の配線のシミュレーションによる出力データを紹介する。図11及び図12は、シミュレーションに使用した等長配線を施していない配線の上下層のモデルである。図11は上層配線層2に形成された配線5を示しており、図12は下層配線層3に形成された配線5を示している。

【0042】同層における隣接2本の配線のシミュレーションのモデルとしては、図中M1、M3で示される配線を使用した。配線M1の配線長は、12.9mm、ワイヤー長は3.395mmで全長は16.295mmとなる。また、配線M3の配線長は、16.444mm、ワイヤー長は3.805mmで全長は20.249mmとなる。従って、両配線M1、M3の全長の差は3.954mmである。図13はこのシミュレーションの結果を示しており、同図に示されるように両配線M1、M3の電送ズレは12.50psとなった。

【0043】また、異層における隣接2本の配線のシミュレーションモデルは、図中M3、M4の配線を使用した。配線M4の配線長は、17.944mm、ワイヤー長は1.895mmで全長は19.839mmとなる。従って、両配線M3、M4の全長の差は0.356mmである。図14はこのシミュレーションの結果を示しており、同図に示されるように両配線M3、M4の電送ズ

レは14.30psとなった。

【0044】上記した各シミュレーションの結果からも分かるように、差動信号の等長配線同志の電送時間のズレと等長配線でなる同志の電送時間のズレとを比較すると、同層・異層とも等長配線同志のほうがズレ時間が短く、よって等長配線にする事で差動信号のタイムラグが少なくなることが証明された。

【0045】

【発明の効果】上述のように本発明によれば、下記の種々の効果を実現することができる。請求項1乃至3のいずれかに記載の発明によれば、差動信号間の電送上のタイムラグを少なくすることができ、よってノイズは低減され電気特性上の向上を図ることができる。

【0046】また、請求項4記載の発明によれば、ワイヤを含む配線の長さを等しい長さとしたことにより、ワイヤ損失分も含めて電送上のタイムラグの低減を図ることができるため、より確実に電気特性上の向上を図ることができる。更に、請求項5記載の発明によれば、差動信号が電送される一対の配線間に接地用配線等が位置することとなり、よって前記一対の配線間においてクロストークが発生することを防止することができるため、電気特性上の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例であるLSIパッケージの配線構造を説明するための図であり、LSIパッケージの上層を示す図である。

【図2】本発明の一実施例であるLSIパッケージの配線構造を説明するための図であり、LSIパッケージの下層を示す図である。

【図3】本発明の一実施例であるLSIパッケージの側面図である。

【図4】本発明の一実施例であるLSIパッケージに形成される電極パッドの配設構造を説明するための図である（その1）。

【図5】本発明の一実施例であるLSIパッケージに形成される電極パッドの配設構造を説明するための図である（その2）。

【図6】本発明の一実施例であるLSIパッケージにおける、電極パッドと半導体チップとのワイヤ配設構造を説明するための図である。

【図7】上層に形成された等長とされた配線の一例を示す図である。

【図8】下層に形成された等長とされた配線の一例を示す図である。

【図9】本発明の効果を説明するための図である（その1）。

【図10】本発明の効果を説明するための図である（その2）。

【図11】従来構成の一例である上層に形成された配線を示す図である。



【図12】従来構成の一例である下層に形成された配線を示す図である。

【図13】従来構成の配線の電気的特性を示す図である（その1）。

【図14】従来構成の配線の電気的特性を示す図である（その1）。

【図15】図1及び図2に示すLSIパッケージに形成された配線の全長、ライン長、ワイヤー長、及びピンコネクター番号を示す図である（その1）。

【図16】図1及び図2に示すLSIパッケージに形成された配線の全長、ライン長、ワイヤー長、及びピンコネクター番号を示す図である（その2）。

【図17】図1及び図2に示すLSIパッケージに形成された配線の全長、ライン長、ワイヤー長、及びピンコネクター番号を示す図である（その3）。

【図18】従来の一例であるLSIパッケージを説明す

るための図であり、上層を示す図である。

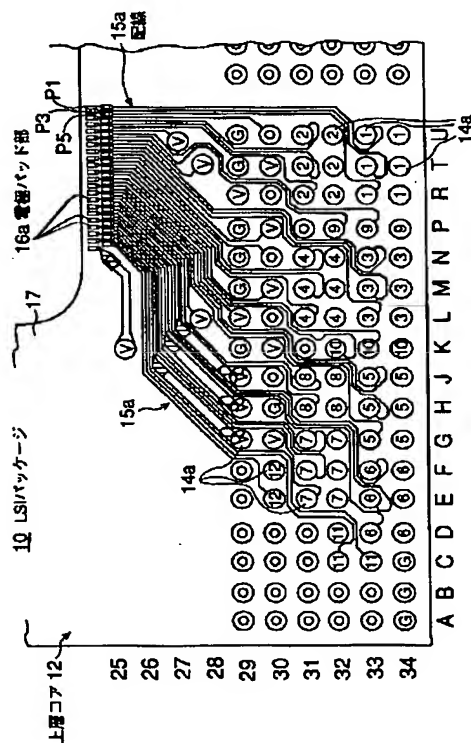
【図19】従来の一例であるLSIパッケージを説明するための図であり、下層を示す図である。

【符号の説明】

- 10 LSIパッケージ
- 11 LSI
- 12 上層配線層
- 13 下層配線層
- 14a, 14b スルーホールランド部
- 15a, 15b 配線
- 16a, 16b 電極パッド部
- 17, 18 開口部
- 19～22 ワイヤ
- 23 チップ側パッド
- 24 ベース

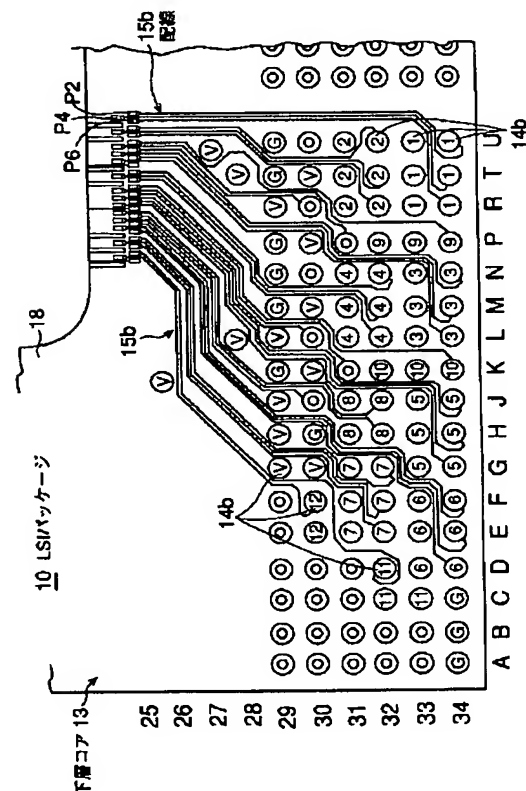
【図1】

本発明の一実施例であるLSIパッケージの配線構造を説明するための図であり、LSIパッケージの上層を示す図



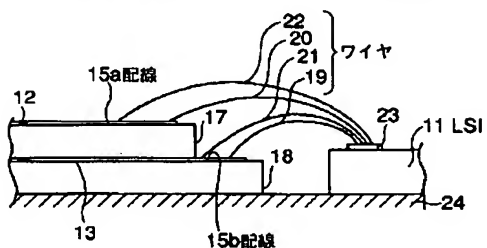
【図2】

本発明の一実施例であるLSIパッケージの配線構造を説明するための図であり、LSIパッケージの下層を示す図



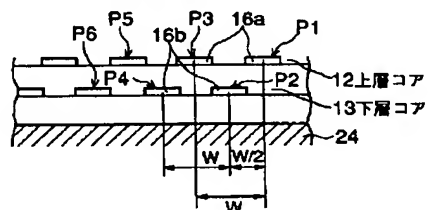
【図 3】

本発明の一実施例であるLSIパッケージの側面図



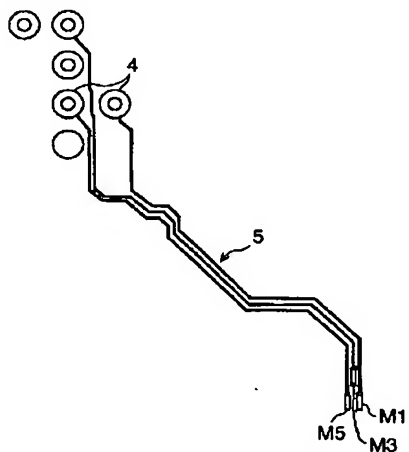
【図 5】

本発明の一実施例であるLSIパッケージに形成される電極パッドの配設構造を説明するための図 (その2)



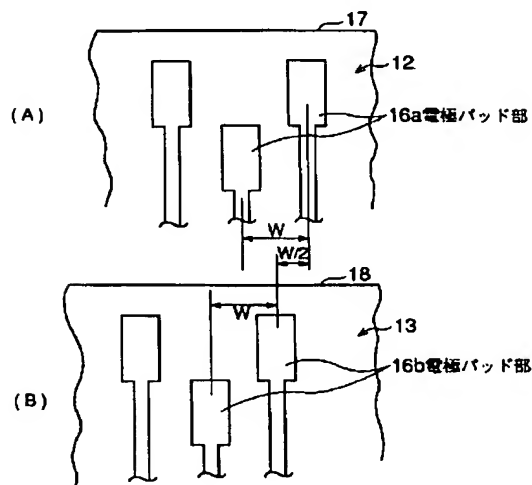
【図 1 1】

従来構成の一例である上層に形成された配線を示す図



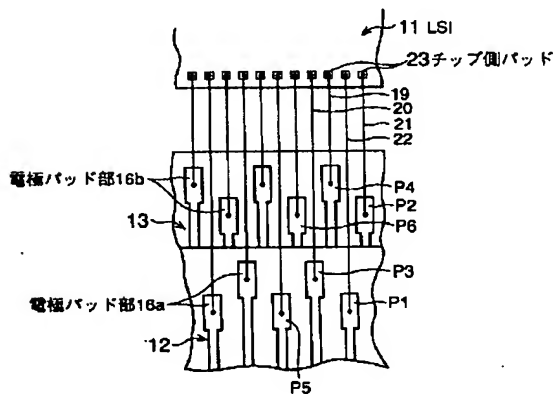
【図 4】

本発明の一実施例であるLSIパッケージに形成される電極パッドの配設構造を説明するための図 (その1)



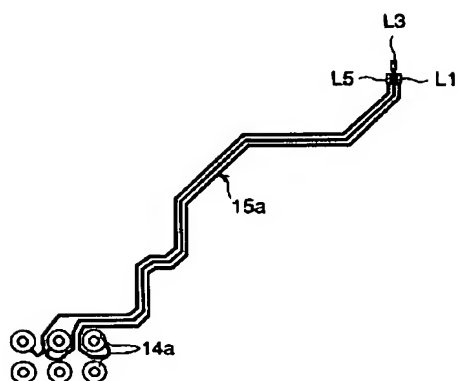
【図 6】

本発明の一実施例であるLSIパッケージにおける、電極パッドと半導体チップとのワイヤ配設構造を説明するための図



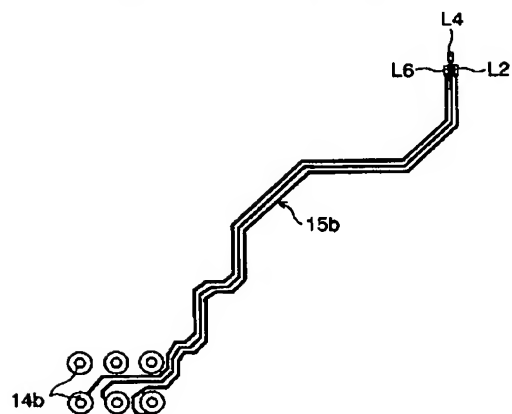
【図 7】

上層に形成された等長とされた配線の一例を示す図



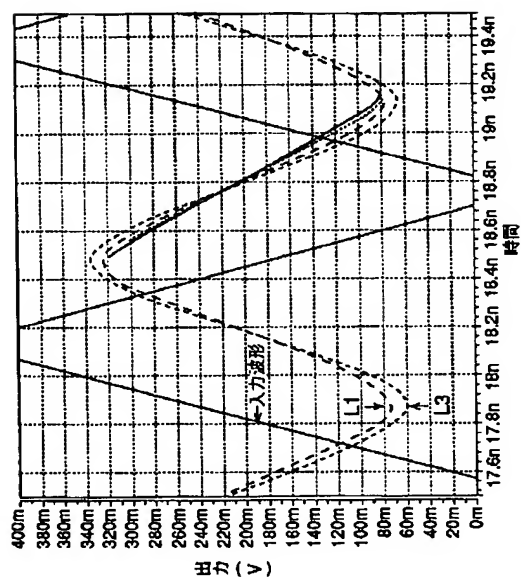
【図 8】

下層に形成された等長とされた配線の一例を示す図



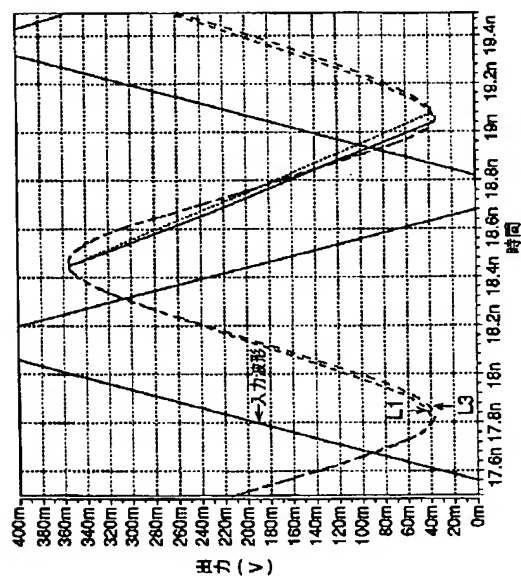
【図 9】

本発明の効果を説明するための図 ( その1 )



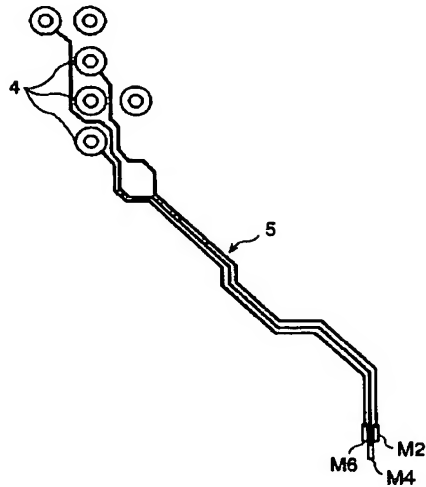
【図 10】

本発明の効果を説明するための図 ( その2 )



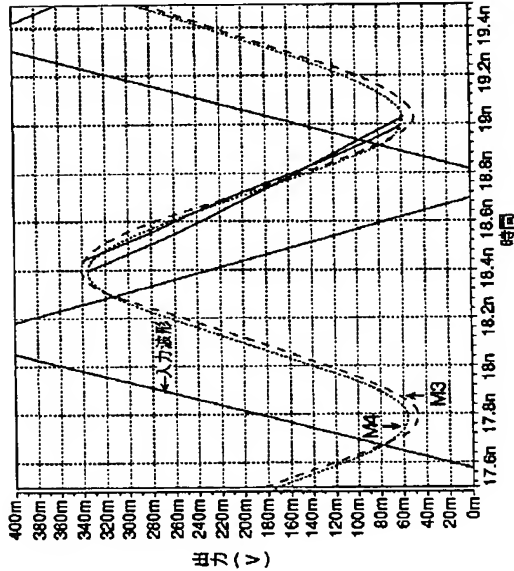
【図 1 2】

従来構成の一例である下層に形成された配線を示す図



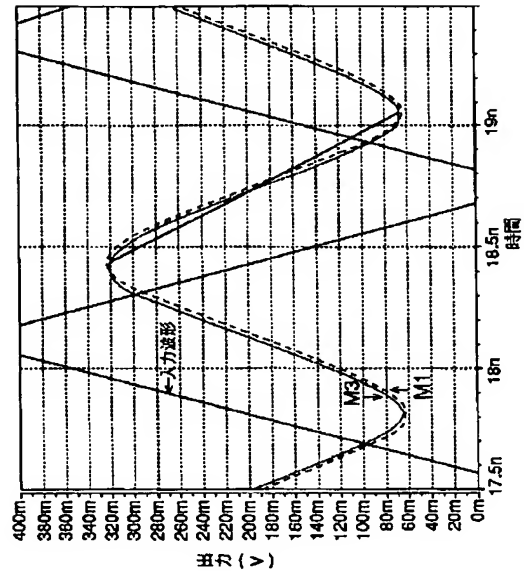
【図 1 4】

従来構成の配線の電氣的特性を示す図 (その1)



【図 1 3】

従来構成の配線の電氣的特性を示す図 (その1)



【図 1 5】

図 1 及び図 2 に示す L S I パッケージに形成された配線の全長、ライン長、ワイヤー長、及びピンコネクター番号を示す図 (その 1)

	全 長	ライン長	ワイヤー長	ピンコネ
# 1	17.583	14.083	3.50	U 3 3
	17.576	15.728	1.85	U 3 4
	17.557	14.487	3.09	T 3 3
	17.694	16.154(L)	1.44	T 3 4
	17.524(S)	14.024(S)	3.50	R 3 3
	17.599(L)	15.749	1.85	R 3 4
# 2	14.158	10.658(S)	3.50	U 3 1
	14.139(S)	12.289	1.85	U 3 2
	14.188(L)	11.098	3.09	T 3 1
	14.151	12.711(L)	1.44	T 3 2
	14.183	10.683	3.50	R 3 1
	14.155	12.305	1.85	R 3 2
# 3	19.458	18.368	3.09	N 3 3
	19.427	17.987	1.44	N 3 4
	19.430	15.930(S)	3.50	M 3 3
	19.488(L)	17.818	1.85	M 3 4
	19.421(S)	16.331	3.09	L 3 3
	19.452	18.012(L)	1.44	L 3 4
# 4	18.052	12.552(S)	3.50	N 3 1
	18.068	14.218	1.85	N 3 2
	18.065	12.975	3.09	M 3 1
	18.028(S)	14.588(L)	1.44	M 3 2
	18.079(L)	12.579	3.50	L 3 1
	18.050	14.200	1.85	L 3 2

【図 16】

図1及び図2に示すLSIパッケージに形成された配線の全長、ライン長、ワイヤー長、及びピンコネクター番号を示す図（その2）

	全 長	ライン長	ワイヤー長	ピンコネ
# 5	22.051	18.981	3.09	J 3 3
	21.915(S)	20.475	1.44	J 3 4
	22.042	18.542(S)	3.50	H 3 3
	22.079	20.229	1.85	H 3 4
	22.007	18.917	3.09	G 3 3
	22.082(L)	20.642(L)	1.44	G 3 4
# 6	24.395(L)	20.895	3.50	F 3 3
	24.321	22.471	1.85	F 3 4
	24.385	21.285	3.09	E 3 3
	24.312(S)	22.872(L)	1.44	E 3 4
	24.392	20.892(S)	3.50	D 3 3
	24.322	22.472	1.85	D 3 4
# 7	20.312	16.812(S)	3.50	G 3 1
	20.327	18.477	1.85	G 3 2
	20.324	17.234	3.09	F 3 1
	20.329(L)	18.888 (L)	1.44	F 3 2
	20.327	16.827	3.50	E 3 1
	20.310(S)	18.480	1.85	E 3 2
# 8	18.285(L)	15.195	3.09	J 3 1
	18.172	18.732(L)	1.44	J 3 2
	18.147(S)	14.647(S)	3.50	H 3 1
	18.213	16.383	1.85	H 3 2

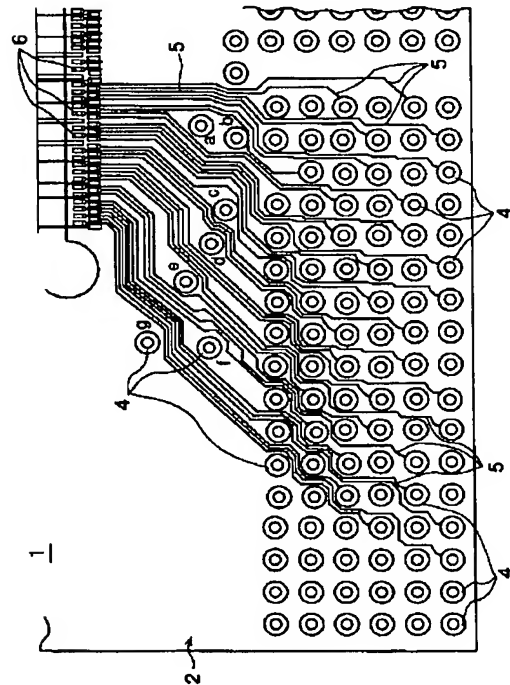
【図 17】

図1及び図2に示すLSIパッケージに形成された配線の全長、ライン長、ワイヤー長、及びピンコネクター番号を示す図（その3）

	全 長	ライン長	ワイヤー長	ピンコネ
# 9	17.413(S)	13.913(S)	3.50	P 3 3
	17.500(L)	15.850(L)	1.85	P 3 4
	17.457	14.367	3.09	P 3 2
# 10	19.184(S)	15.684(S)	3.50	K 3 3
	19.185	17.375(L)	1.85	K 3 4
	19.194(L)	16.104	3.09	K 3 2
# 11	23.791	20.291(S)	3.50	C 3 3
	23.798(L)	21.948(L)	1.85	D 3 2
	23.745(S)	20.855	3.09	C 3 2
# 12	17.488(S)	16.046(L)	1.44	F 3 0
	17.554(L)	14.054(S)	3.50	E 3 0

【図 18】

従来の一例であるLSIパッケージを説明するための図であり、上層を示す図



【図 19】

従来の一例であるLSIパッケージを説明するための図で、  
下層を示す図

